**Computer-Aided VLSI System Design**

**Homework 5 Report**

**Due Tuesday, Dec. 5, 14:00**

**Student ID: r12921a01**

**Student Name: 周固廷**

**APR Results**

1. Fill in the blanks below.

|  |  |  |
| --- | --- | --- |
| Design Stage | Description | Value |
| P&R | Number of DRC violations (ex: 0)  (Verify -> Verify Geometry…) | 0 |
| Number of LVS violations (ex: 0)  (Verify -> Verify Connectivity…) | 0 |
| Die Area (um2) | 489062.43 |
| Core Area (um2) | 290445.51 |
| Post-layout  Simulation | Clock Period for Post-layout Simulation (ex. 10ns) | 50.0 ns |
| Follow your design in HW3?  (If not, specify student ID of the designer or ‘from TA’) | | from TA |

**Questions and Discussion**

1. Attach the snapshot of CCOpt Clock Tree Debugger result (5%).

一張含有 文字, 螢幕擷取畫面, 軟體, 多媒體軟體 的圖片

自動產生的描述

1. Attach the snapshot of DRC and LVS checking after routing. (5%)

一張含有 文字, 螢幕擷取畫面, 陳列 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 字型 的圖片

自動產生的描述

1. Attach the snapshot of the timing report for **setup time and hold time** with no timing violation (post-route). (5%)

一張含有 文字, 螢幕擷取畫面 的圖片

自動產生的描述

一張含有 文字, 螢幕擷取畫面, 數字, 字型 的圖片

自動產生的描述

1. Show the critical path after post-route optimization. What is the path type? (10%)

(The slack of the critical path should match the smallest slack in the timing report)

一張含有 文字, 螢幕擷取畫面 的圖片

自動產生的描述

是register to register的datapath

1. Attach the snapshot of GDS stream out messages. (10%)

一張含有 文字, 螢幕擷取畫面, 字型 的圖片

自動產生的描述

1. Attach the snapshot of the final area result. (5%)

一張含有 文字, 螢幕擷取畫面, 軟體, 字型 的圖片

自動產生的描述

1. Attach the snapshot of your final layout **after adding core filler**. (Remember to switch to **Physical view** and make Pin Shapes visible) (10%)

一張含有 鮮豔, 螢幕擷取畫面, 樣式, 行 的圖片

自動產生的描述

1. What is your strategy for floorplanning (especially for placing the SRAMs)? What is the reason behind it? (10%)

我將SRAM這塊占比最大的block放在左下角，這樣加了halo以後，就只剩下兩個邊還在cell的可放置區域，這樣的好處是可以最大化cell可擺放區域，有助於接下來的步驟。如果今天將SRAM放中間的話，Halo區域的四個邊都會影響到cell的擺放區域。

此外我也將SRAM的PIN腳朝向CORE內部，這樣也有助於後續繞線。

